

Opgavenserie 3: Geheugen, von-Neumann-architectuur, CPU

Processen & Processoren

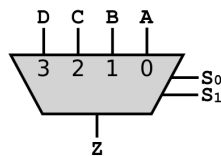
16 februari 2011

De uitwerkingen van deze opgaven graag inleveren uiterlijk op 22 februari 2011 om 10.45 uur, per e-mail aan Wouter Geraedts (w.geraedts@student.ru.nl). Ik corrigeer alleen uitwerkingen in **platte tekst** of **PDF** die in een e-mail met onderwerp „[P&P] Opgave 3” verstuurd worden. Ik word extra vrolijk van uitwerkingen die met L^AT_EX zijn gemaakt. Circuits kun je het beste met een daarvoor geschikt programma tekenen.

Als je drie van de vijf opgaven goed hebt beantwoord, telt jouw uitwerking mee voor de bonus bij het tentamen. Ik probeer je uitwerking vóór het werkcollege nagekeken te hebben. Deze krijg je via e-mail terug.

Maak zonedig zinvolle aannames. Beredeneer je antwoord; laat tenminste zien dat je het antwoord niet hebt gegoogelt.

1. Teken een schakeldiagram voor een 4-naar-1-multiplexer. Deze multiplexer heeft twee invoerlijnen om te bepalen welke van de vier signalen op de hoofd-invoerlijnen doorgegeven moet worden aan de enkele uitvoerlijn.



2. Implementeer de „tel”-functie (van opgave 3 uit serie 2) in een PLA. Vergeet niet aan te geven wat jouw invoer- en uitvoerlijnen betekenen.
3. (a) Wat gebeurt er als je bij een SR-latch beide ingangen op 1 zet (dus S=R=1)?
(b) Computerbouwers proberen deze situatie te vermijden. Waarom?
4. We hebben in het college gezien dat een moderne chip meerdere instructies tegelijk behandelt (in een pipeline). Tijdens een van de fasen in de pipeline kan de programcounter aangepast worden bij bijvoorbeeld een if-statement. (programflow). Leg uit wat er in de pipeline op dat moment gebeurt.
5. (a) Teken een karnaugh-diagram voor de volgende waarheids-tabel:

a	b	c	$f(a, b, c)$
0	0	0	0
0	0	1	1
0	1	0	0
0	1	1	1
1	0	0	0
1	0	1	0
1	1	0	1
1	1	1	1

- (b) Teken een karnaugh-diagram voor de volgende expressie:

$$\neg(\neg(b \wedge \neg c \wedge d) \wedge \neg(a \wedge b \wedge c))$$